AN12581
适用于 VFBGA98 封装的两层 PCB 设计指南

Rev. 0 — 10/2019

Application Note

目录

1 简介....1
2 LPC5500 VFBGA98 封装信息....1
2.1 概述....1
2.2 物理管脚的直径信息....1
2.3 针对回流焊工艺的封装推荐....2
3 两层 PCB 布局的解决方案....4
3.1 3.2 mil 线宽/间距....5
3.2 线/间距限制为 5 mil....6
4 结论....7
5 参考....8

1 简介

LPC5500 系列具有 VFBGA98 形式的封装。

通常，为了把 VFBGA98 封装的功能引脚引出来，硬件工程师使用四层 PCB 的布局。 但是，为了降低 PCB 成本，客户可以对 VFBGA98 使用两层 PCB 的布线方式。 本应用笔记介绍了两种针对 LPC5500 VFBGA98 封装在两层 PCB 上布局的解决方案。

2 LPC5500 VFBGA98 封装信息

2.1 概述

VFBGA98（SOT1982-1）是一种友好的封装形式，具有非常细的球间距。 它包含 98 个引脚，间距为 0.5 毫米，主体为 7 毫米× 7 毫米。表 1 介绍了该封装的具体信息。

表 1. VFBGA98 封装信息

参数	最小值	典型值	最大值	单位
封装长度	—	7	—	mm
封装宽度	—	7	—	mm
封装高度	—	0.86	—	mm
标称球间距	—	0.5	—	mm
实际引脚数量	—	98	—	

2.2 物理管脚的直径信息

图 1 显示了 VFBGA98 封装的总体信息。 如 图 1 所示，关键参数是针对引脚焊盘的直径，对于 VFBGA98，其值为 0.25-0.35 mm 之间。

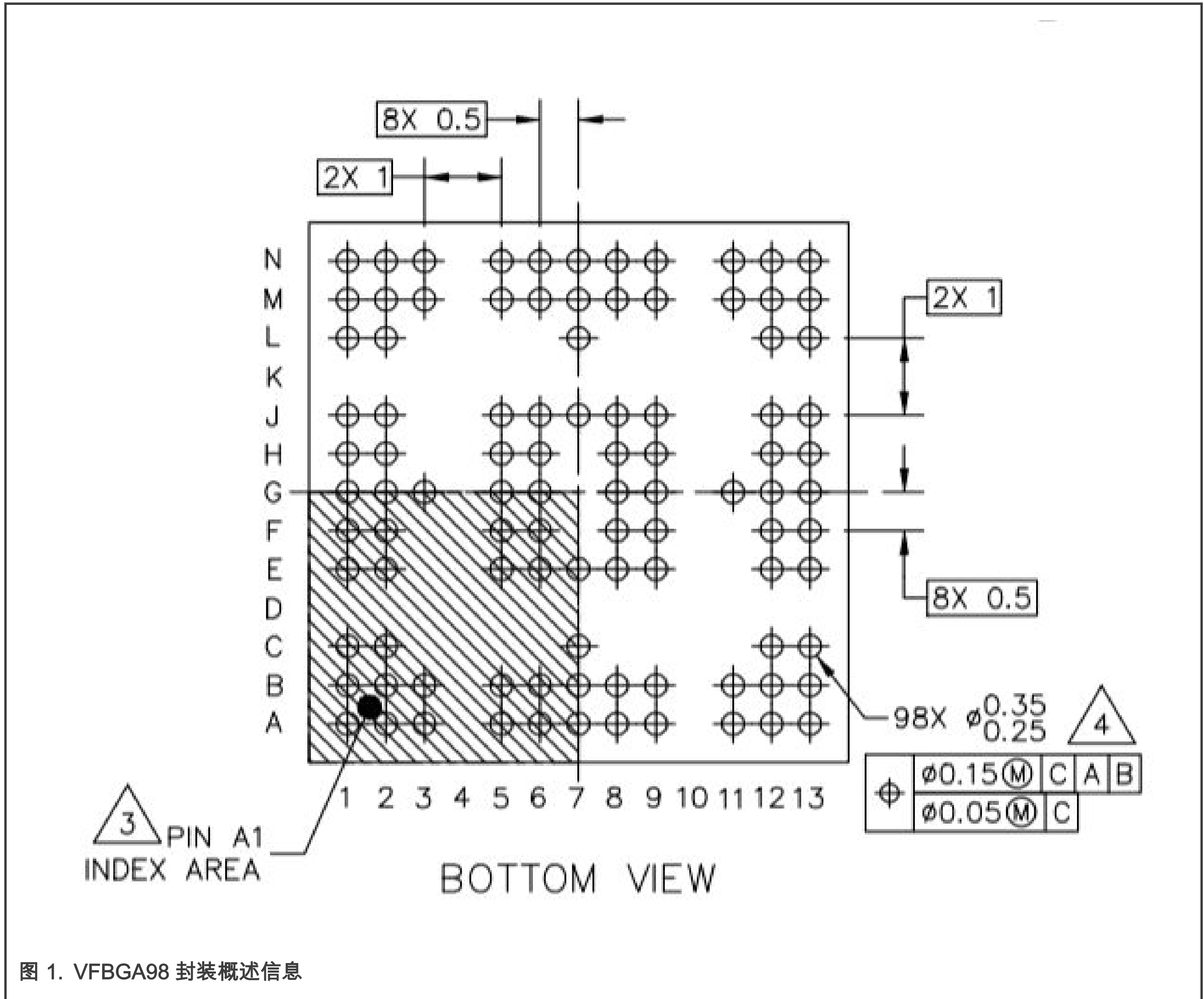
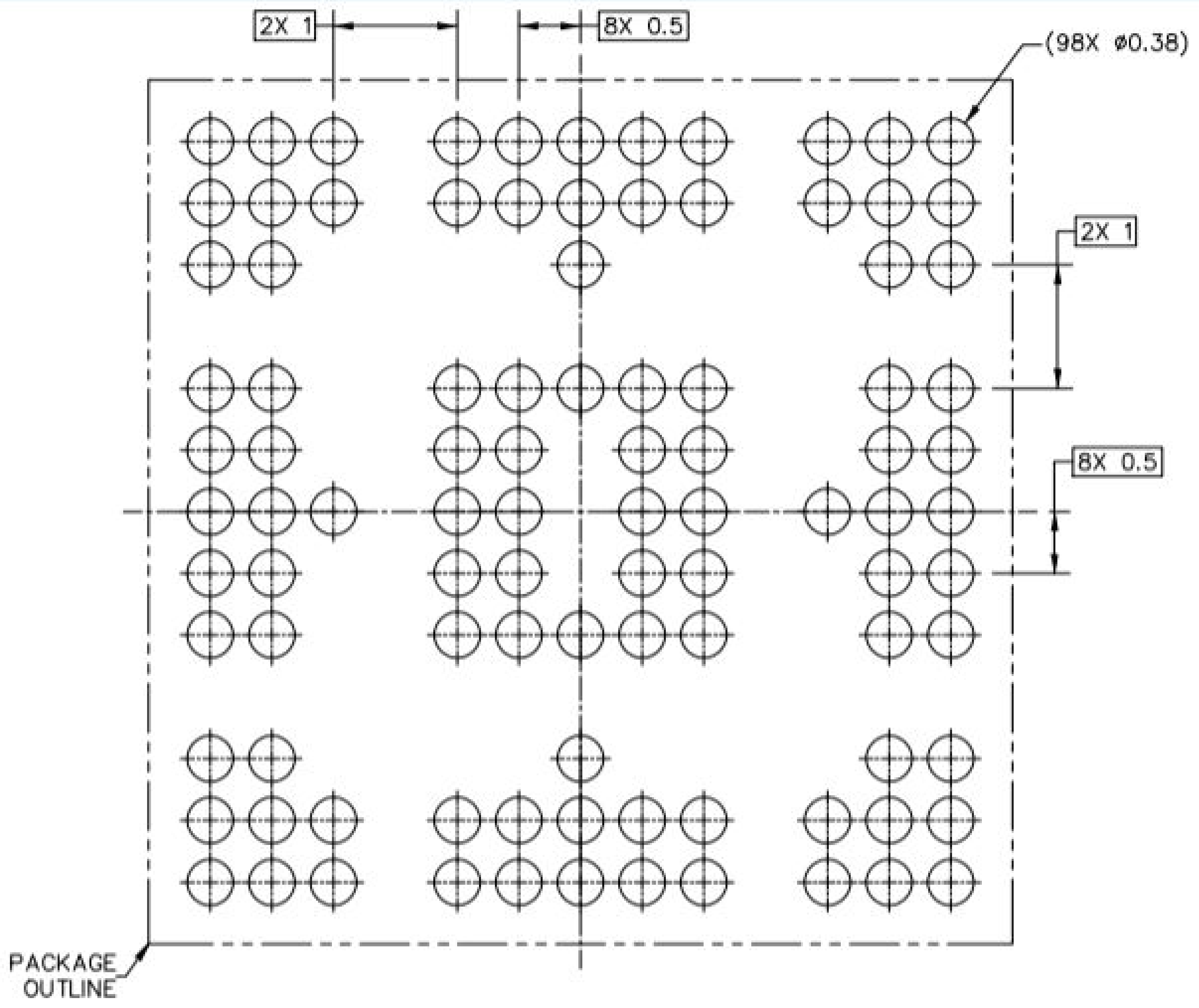


图 1. VFBGA98 封装概述信息

2.3 针对回流焊工艺的封装推荐

在 VFBGA98（SOT1982-1）中，为四层 PCB 布线提供了两种针对回流焊工艺的封装，如 图 2 和 图 3 所示。有关详细信息，请参见 LPC55S6x 产品数据表（文档 LPC55S6x）。



PCB DESIGN GUIDELINES – SOLDER MASK OPENING PATTERN

THIS SHEET SERVES ONLY AS A GUIDELINE TO HELP DEVELOP A USER SPECIFIC SOLUTION. DEVELOPMENT EFFORT WILL STILL BE REQUIRED BY END USERS TO OPTIMIZE PCB MOUNTING PROCESSES AND BOARD DESIGN IN ORDER TO MEET INDIVIDUAL/SPECIFIC REQUIREMENTS.

图 2. VFBGA98（SOT1982-1）的回流焊工艺的封装图 1

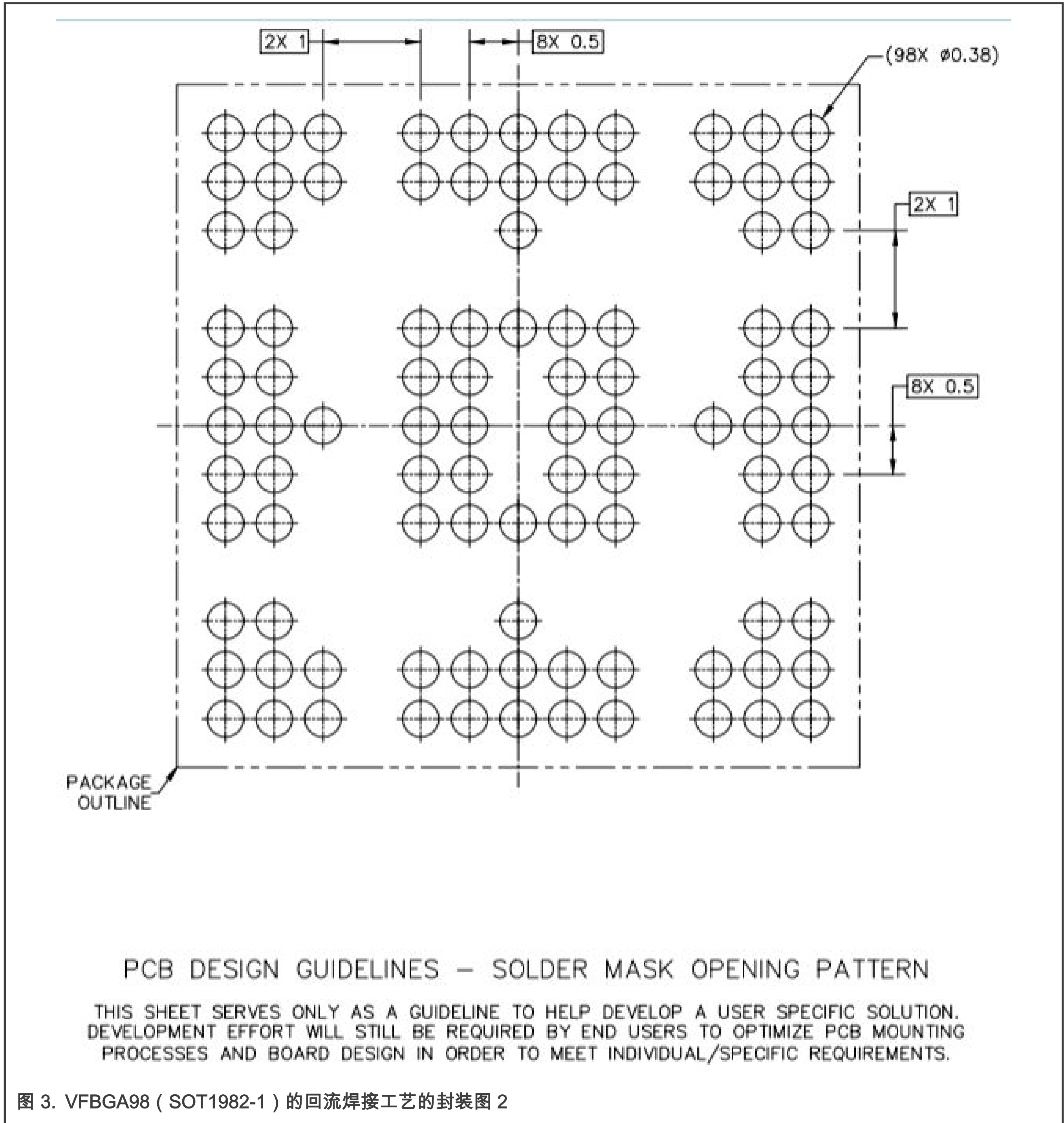


图 3. VFBGA98（SOT1982-1）的回流焊接工艺的封装图 2

3 两层 PCB 布局的解决方案

通常，PCB 供应商的工艺限制是线/间距宽度为 3 mil（0.0762 毫米）。 超低成本 PCB 工艺最小线宽限制为 5 mil（0.127 毫米）。 本文档介绍了两种布局规则：

- 3.2 mils 版本：可引出所有 VFBGA98 功能引脚。
- 5 mils 版本：最多可以提取 37-38 个功能引脚（包括一个高速 USB 引脚，两个外部晶振引脚和两个 SWD 引脚）。

3.1 3.2 mil 线宽/间距

3.2 mil 布线版本所需的走线宽度为 3.2 mil，线间距也为 3.2 mil。表 2 描述了布线规则。

表 2. 3.2 mils 版本的布线规则

VFBGA98 垫片直径	10 mil（0.254 毫米）	
网络规则	默认/缩颈	电源/GND
走线宽度	4 mil/3.2 mil	8 mil（最小）
线间距	3.2 mil	3.2 mil（最小）
线到焊盘的间隔	3.2 mil	3.2 mil (最小)
线到 Via 的间隔	4 mil	4 mil
过孔	8 mil 内孔直径/18mil 焊盘直径	
层数	两层（顶部和底部）	

关键规则是引脚焊盘的直径。 建议的焊盘直径为 15mil（0.38 毫米）。对于 3.2 mil 的版本，焊盘直径为 10 mil（0.254 毫米，仍在 0.25-0.35 毫米的规格范围内，并遵循 IPC-7351 的规则）。 借助 3.2 mil 的宽度/间隙规则，可以轻松地通过空白区域（引脚组之间）引出两个或三个功能引脚，如 图 4 所示。

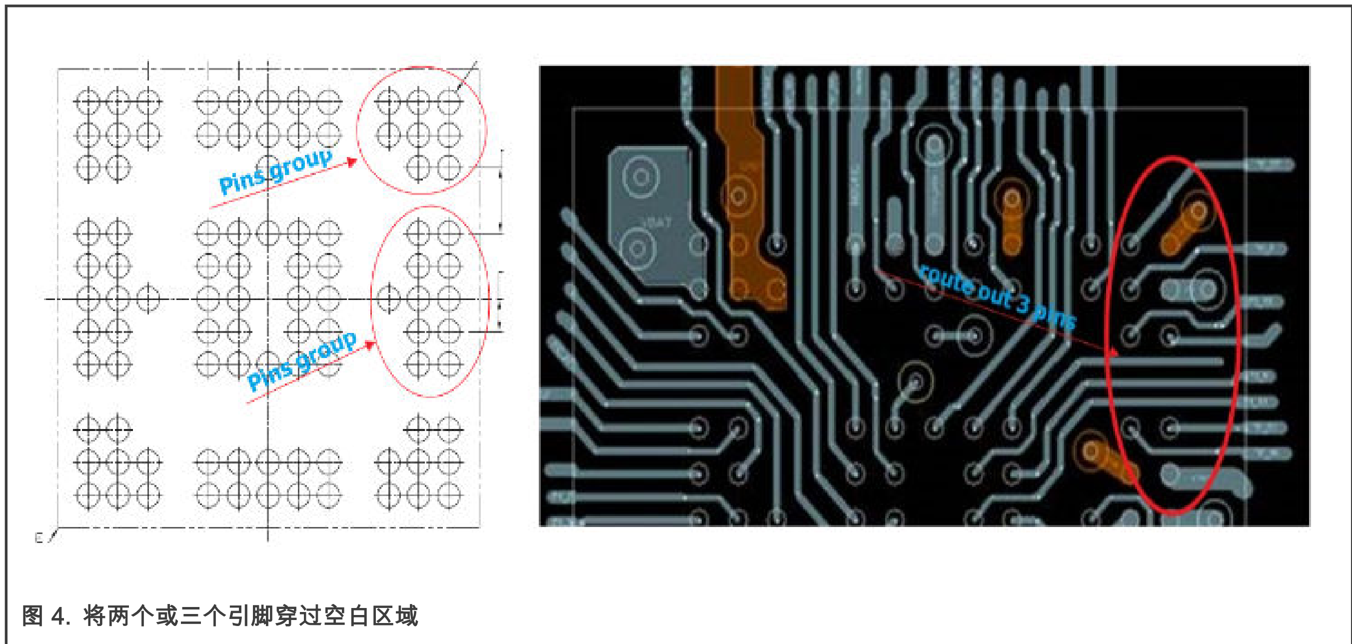


图 4. 将两个或三个引脚穿过空白区域

本应用笔记的软件包提供了 Allegro PCB 参考原文件。有关详细信息，请参见 BMS-00108.brd 文件。图 5 显示了布局参考设计。

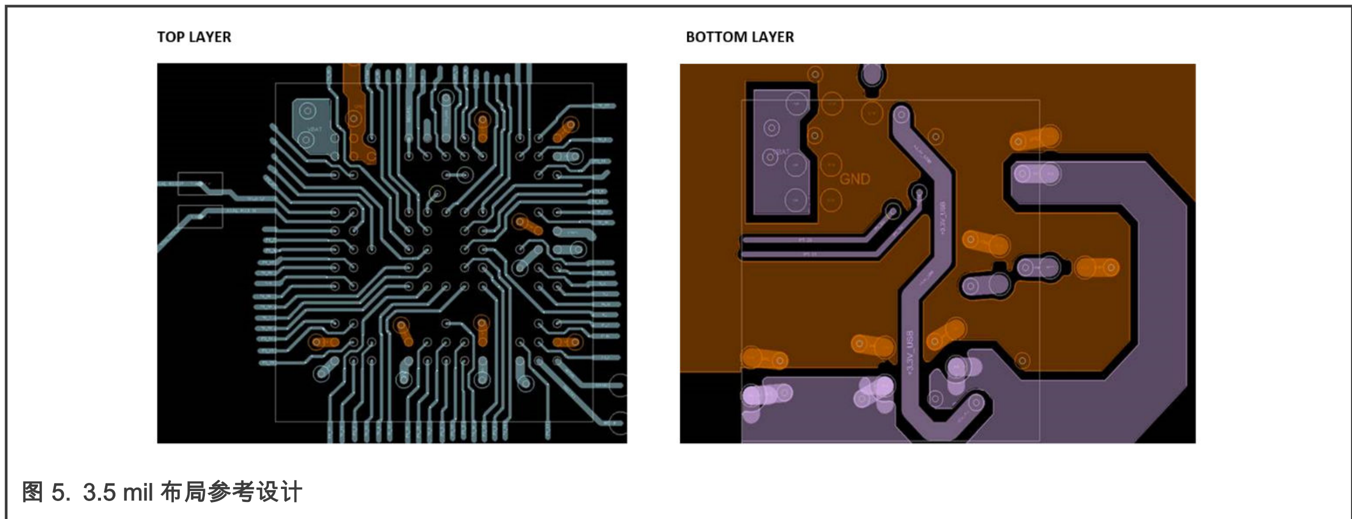


图 5. 3.5 mil 布局参考设计

3.2 线/间距限制为 5 mil

5 mil 布局版本的适用于超低成本 PCB 工艺，其所需的走线宽度为 5 mil，间隙也为 5 mil。表 3 描述了布局规则。

对于 5 mil 布线版本，我们不能引出所有的功能引脚。 这个版本可以把 VFBGA98 作为 QFN48 来看待，QFN48 封装尺寸为 7 毫米×7 毫米，与 VFBGA98 相同。 对于大多数 QFN48 封装，MCU 最多支持 31-37 个功能引脚（电源/GND 除外）。 如果规则遵循 5mil 的布线规则，则用户可以引出：

28 个 GPIO 引脚，三个 SWD（带 RESET）引脚，三个 USB1（高速）引脚和四个 Crystal 引脚。

考虑对功能引脚的实际应用需求，通常 SWD/USB/晶振的引脚可以用 GPIO 代换。 因此，5 mils 版本的布局可以引出 37-38 GPIO 引脚。

表 3. 5 mils 版本的布局规则

VFBGA98 引脚焊盘直径	10 mil（0.254 毫米）	
规则	默认/缩颈	电源/GND
走线宽度	5 mil	8 mil (最小)
线间距	5 mil	5 mil (最小)
线到焊盘的间距	5 mil	5 mil (最小)
线到 Via 的间距	5 mil	5 mil
过孔	12mil 钻孔 / 24mil 的焊盘和 24 万垫	
层数	两层（顶部和底部）	

由于线宽和间隙设置为 5 mils，我们只能将两个物理引脚穿过两个 Pin 组，如 图 6 所示。

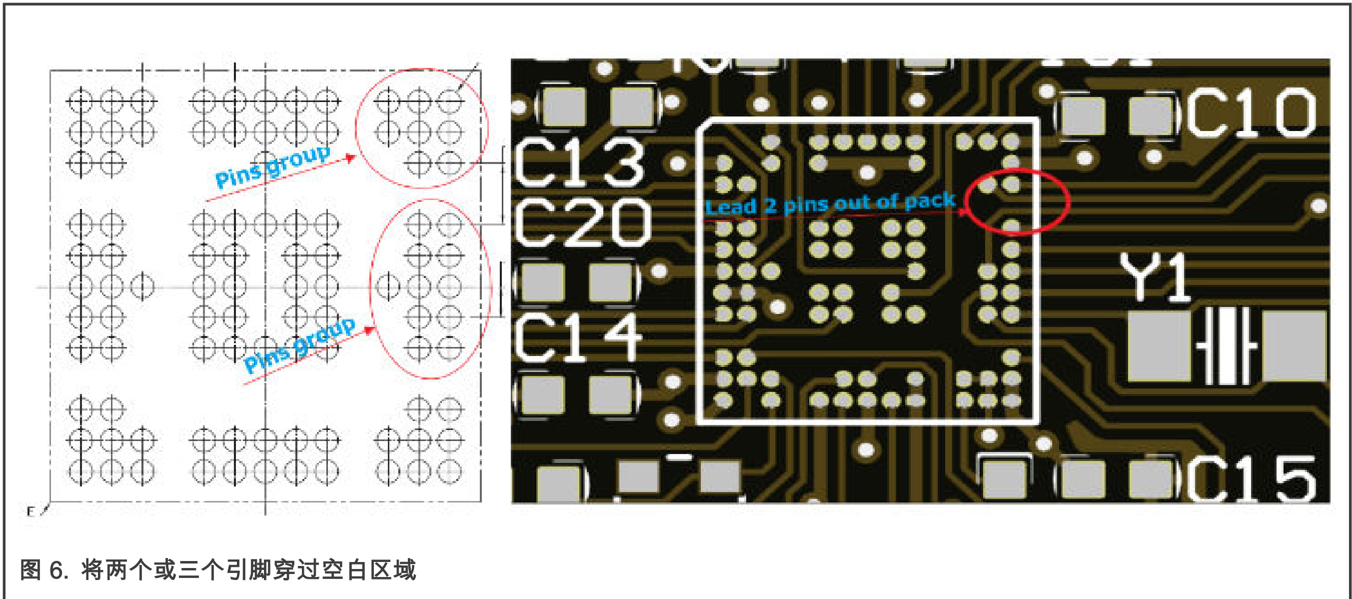


图 6. 将两个或三个引脚穿过空白区域

恩智浦基于 5 mil 的规则设计了最小系统板。 PCB 文件位于此文档所附的* .zip 文件中。 工具是 Aluminum Design PCB 工具。有关详细信息，请参考 LPCup.pcb。 图 7 显示了布局参考设计。

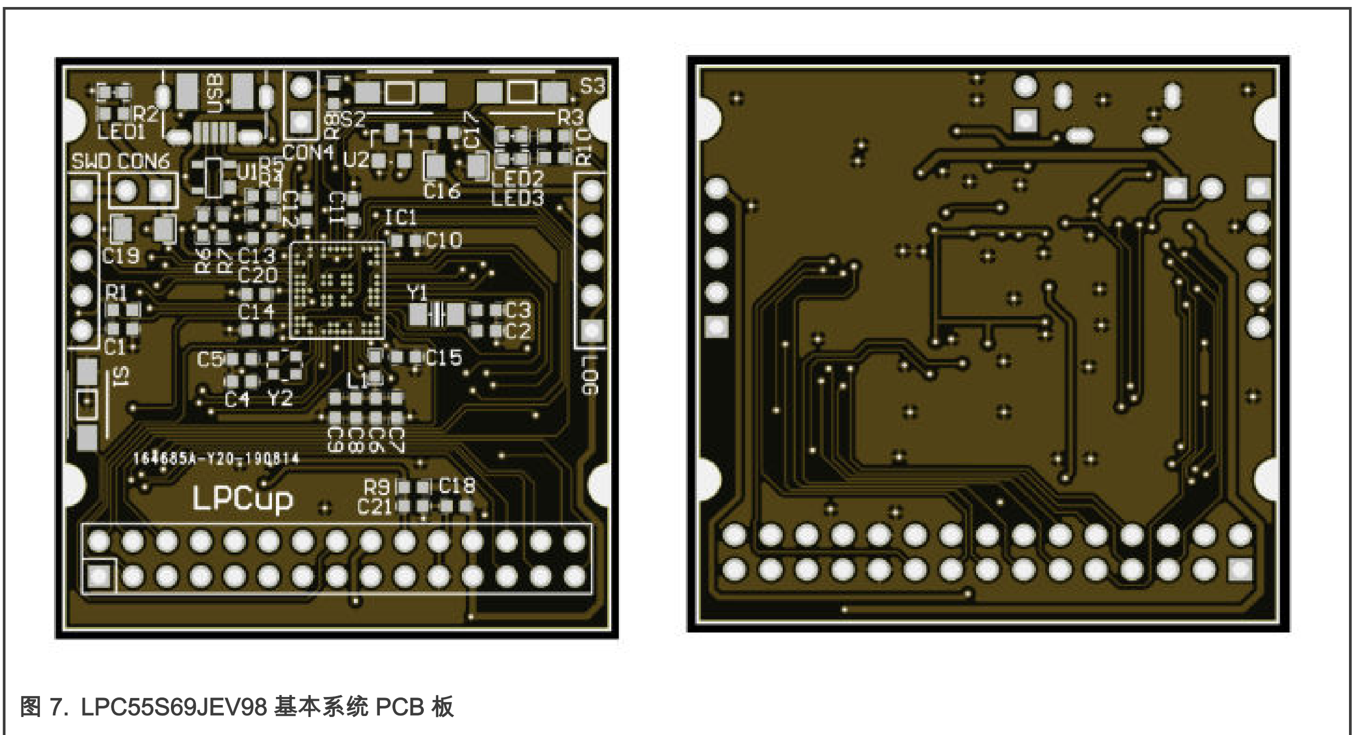


图 7. LPC55S69JEV98 基本系统 PCB 板

4 结论

本应用笔记介绍了两种用于 VFBGA98 的两层 PCB 布线的解决方案。 这些解决方案可以降低 PCB 成本。 四层 PCB 的成本比两层 PCB 高得多（附加的材料，生产步骤，生产时间等等）。 在咨询了 PCB 供应商之后，我们还知道 5 mil 工艺比 3.5 mil 工艺更加具有性价比。

我们提供了 3.5 mil 和 5 mil 这两种解决方案，以满足不同的应用需求。 根据实际需要，两者相对于四层 PCB 布线都可以降低 PCB 成本。 本应用笔记还提供了原始的 PCB 设计参考文件。

5 参考

- LPC55S6x 产品数据手册（文档 LPC55S6x）
- VFBGA 封装信息（文档 SOT1982-1）

How To Reach Us

Home Page:

nxp.com

Web Support:

nxp.com/support

Limited warranty and liability — Information in this document is provided solely to enable system and software implementers to use NXP products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits based on the information in this document. NXP reserves the right to make changes without further notice to any products herein.

NXP makes no warranty, representation, or guarantee regarding the suitability of its products for any particular purpose, nor does NXP assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. “Typical” parameters that may be provided in NXP data sheets and/or specifications can and do vary in different applications, and actual performance may vary over time. All operating parameters, including “typicals,” must be validated for each customer application by customer's technical experts. NXP does not convey any license under its patent rights nor the rights of others. NXP sells products pursuant to standard terms and conditions of sale, which can be found at the following address: nxp.com/SalesTermsandConditions.

Right to make changes - NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

Security — Customer understands that all NXP products may be subject to unidentified or documented vulnerabilities. Customer is responsible for the design and operation of its applications and products throughout their lifecycles to reduce the effect of these vulnerabilities on customer’s applications and products. Customer’s responsibility also extends to other open and/or proprietary technologies supported by NXP products for use in customer’s applications. NXP accepts no liability for any vulnerability. Customer should regularly check security updates from NXP and follow up appropriately. Customer shall select products with security features that best meet rules, regulations, and standards of the intended application and make the ultimate design decisions regarding its products and is solely responsible for compliance with all legal, regulatory, and security related requirements concerning its products, regardless of any information or support that may be provided by NXP. NXP has a Product Security Incident Response Team (PSIRT) (reachable at PSIRT@nxp.com) that manages the investigation, reporting, and solution release to security vulnerabilities of NXP products.

NXP, the NXP logo, NXP SECURE CONNECTIONS FOR A SMARTER WORLD, COOLFLUX,EMBRACE, GREENCHIP, HITAG, ICODE, JCOP, LIFE, VIBES, MIFARE, MIFARE CLASSIC, MIFARE DESFire, MIFARE PLUS, MIFARE FLEX, MANTIS, MIFARE ULTRALIGHT, MIFARE4MOBILE, MIGLO, NTAG, ROADLINK, SMARTLX, SMARTMX, STARPLUG, TOPFET, TRENCHMOS, UCODE, Freescale, the Freescale logo, AltiVec, CodeWarrior, ColdFire, ColdFire+, the Energy Efficient Solutions logo, Kinetis, Layerscape, MagniV, mobileGT, PEG, PowerQUICC, Processor Expert, QorIQ, QorIQ Qonverge, SafeAssure, the SafeAssure logo, StarCore, Symphony, VortiQa, Vybrid, Airfast, BeeKit, BeeStack, CoreNet, Flexis, MXC, Platform in a Package, QUICC Engine, Tower, TurboLink, EdgeScale, EdgeLock, eIQ, and Immersive3D are trademarks of NXP B.V. All other product or service names are the property of their respective owners. AMBA, Arm, Arm7, Arm7TDMI, Arm9, Arm11, Artisan, big.LITTLE, Cordio, CoreLink, CoreSight, Cortex, DesignStart, DynamIQ, Jazelle, Keil, Mali, Mbed, Mbed Enabled, NEON, POP, RealView, SecurCore, Socrates, Thumb, TrustZone, ULINK, ULINK2, ULINK-ME, ULINK-PLUS, ULINKpro, μVision, Versatile are trademarks or registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere. The related technology may be protected by any or all of patents, copyrights, designs and trade secrets. All rights reserved. Oracle and Java are registered trademarks of Oracle and/or its affiliates. The Power Architecture and Power.org word marks and the Power and Power.org logos and related marks are trademarks and service marks licensed by Power.org. M, M Mobileye and other Mobileye trademarks or logos appearing herein are trademarks of Mobileye Vision Technologies Ltd. in the United States, the EU and/or other jurisdictions.

© NXP B.V. 2019-2021. All rights reserved.

For more information, please visit: http://www.nxp.com

For sales office addresses, please send an email to: salesaddresses@nxp.com

Date of release: 10/2019

Document identifier: AN12581