

1 介绍

本文档重点介绍 i.MX RT6xx 的 DSP 在低功耗模式下的电流消耗情况。它介绍了那些能帮助用户管理电源使用的函数，还包含了基于 MIMXRT6xx EVK 板进行电流测量的内容。

2 i.MX RT6xx 概述

i.MX RT6xx 是一款面向嵌入式应用的双核微控制器，配备了 Arm Cortex-M33 CPU 和 Cadence Xtensa HiFi4 高级音频数字信号处理器 CPU。它提供了丰富的外设和极低的功耗。

Arm Cortex-M33 是基于 Armv8-M 架构的新一代内核，可提供系统增强功能。Cadence Xtensa HiFi4 音频 DSP 引擎是一款高度优化的音频处理器，专为高效执行音频和语音编解码器，及其预处理和后处理模块而设计。

i.MX RT6xx 的设计使 Cortex-M33 能以高达 300 MHz 的频率运行，而 HiFi4 DSP 能以高达 600 MHz 的频率运行。

i.MX RT6xx 具有丰富的功能，如时钟生成单元和电源控制。

时钟生成单元：

- 工作范围为 1 MHz 至 25 MHz 的晶体振荡器。
- 内置 48 MHz 或 60 MHz IRC 振荡器。可调整至 +/- 1% 的精度。
- 内置 16 MHz IRC 振荡器。可调整至 +/- 3% 的精度。
- 内置精度为 10% 的 1 MHz 低功耗振荡器。可用作看门狗振荡器，以及操作系统事件定时器和 SysTick 的时钟。也可作为系统时钟。
- 32 kHz 实时时钟 (RTC) 振荡器，可选作系统时钟。
- 主系统锁相环。
- 用于音频子系统的音频锁相环。
- 480 MHz USB 锁相环 (内连至 USB PHY)。
- 带分频器的时钟输出功能，可对应所有内部时钟源。

电源控制：

- 主电源为 1.8 V +/- 5%。
- 模拟电源为 1.71 V - 3.6 V。
- 三重 VDDIO 电源 (可共享或独立) 为 1.71 V - 3.6 V。
- USB 电源为 3.0 V - 3.6 V。
- 减低功耗模式。
- RBB/FBB 可提供功率/性能平衡的额外控制。
- 上电复位 (POR)。

目录

1 介绍	1
2 i.MX RT6xx 概述	1
3 系统配置	2
4 低功耗应用设计	3
5 测量	7
6 缩略语和说明	13
7 参考资料	13
8 修订历史	14



3 系统配置

i.MX RT6xx 包括多个电源开关和时钟开关，允许微调电源的使用，以满足不同性能级别和低功耗模式的要求。

3.1 时钟源和系统时钟

系统控制块进行时钟的生成。而时钟可以有多种变化。主锁相环可配置为使用多个时钟输入，并生成高至最大芯片频率的输出时钟，可用于运行大多数的片上功能。

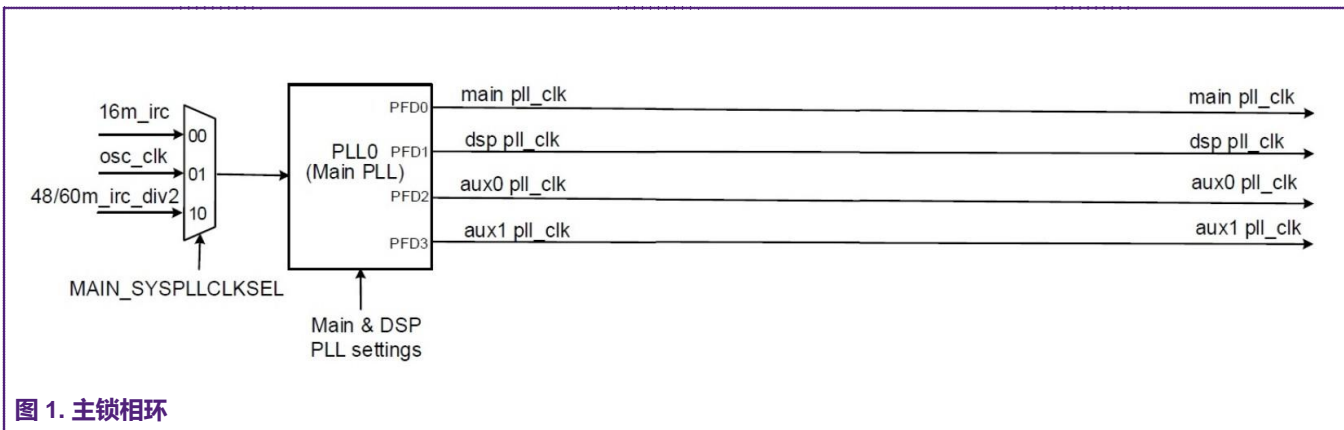


图 1. 主锁相环

图 1 显示主锁相环的时钟源可以是 16m_irc、clk_in 和 48/60m_irc_div2。此外，在从锁相环输出之前，可使用 PFD 设置来改变锁相环压控振荡器频率。每个 PFD 输出都可以有不同的设置。PFD 输出频率由下式给出：

$$\text{PFD 输出} = 18/N \times \text{FVCO}$$

其中 $N = 12$ 至 35

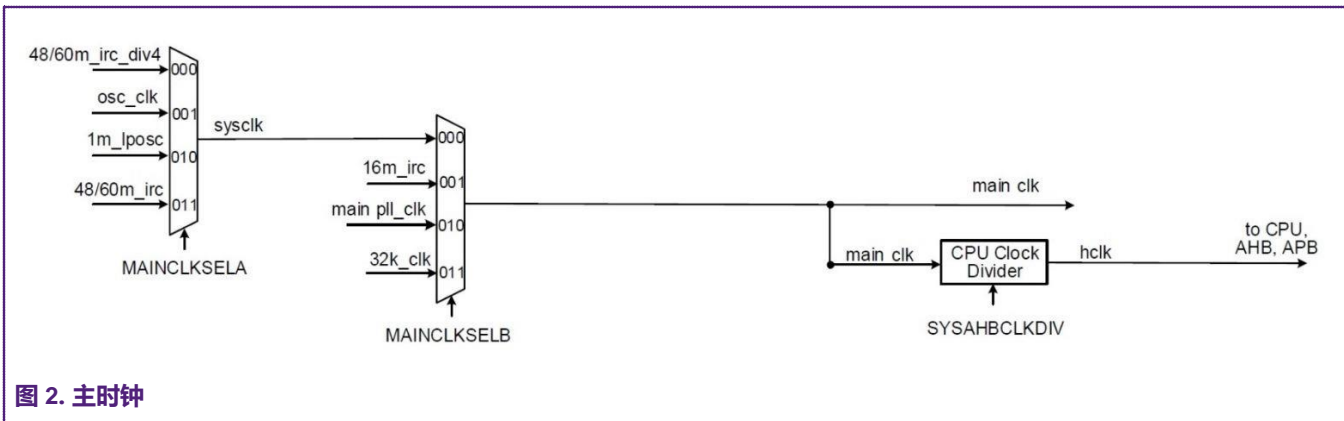
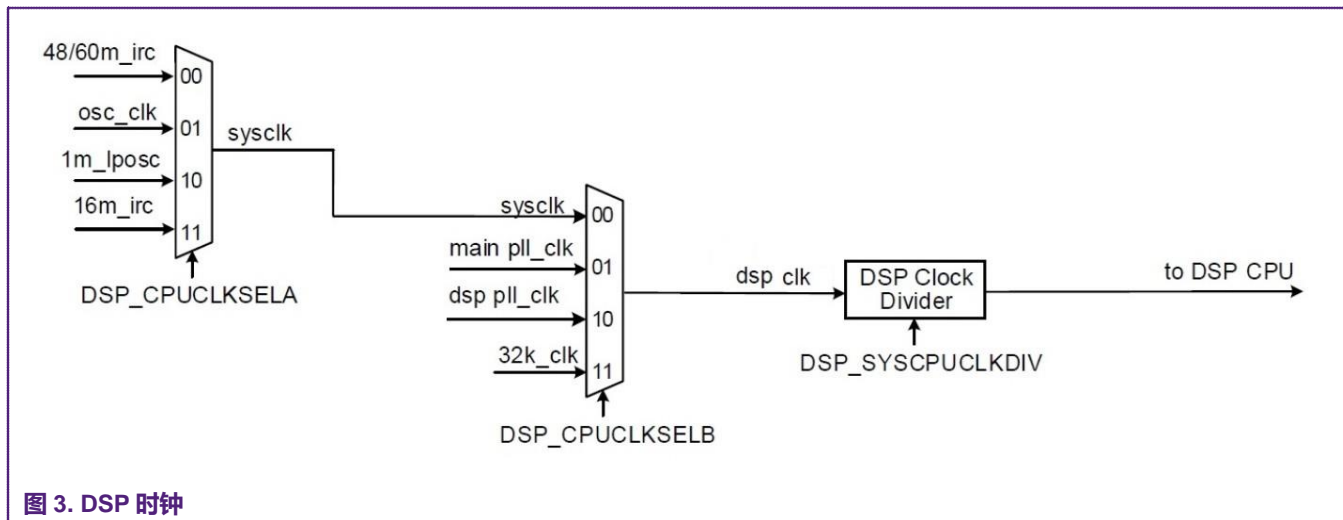


图 2. 主时钟

图 2 显示了 48/60m_irc_div4、clk_in、1m_lposc 和 48/60m_irc 是主时钟选择 A 的时钟源，而 16m_irc、main_pll_clk (来自图 1) 和 32k_clk 是主时钟选择 B 的时钟源。在确定了 main_clk 之后，CPU Clock Divider 的设置控制 CPU 时钟的分频器。与图 2 类似，在图 3 中，DSP 时钟有自己的时钟源，而 DSP Clock Divider 寄存器将最终时钟分频到 DSP CPU。



3.2 影响功耗的寄存器

系统配置寄存器共有 6 组：时钟控制寄存器组 0/1，复位控制寄存器组 0/1，以及其他系统寄存器组 0/1。时钟控制寄存器组有时钟控制寄存器 CLKCTLx_PSCCTLx。此寄存器可以单独为系统或外设模块开启时钟。复位控制寄存器组有外设复位控制寄存器 RSTCTLx_PRSTCTLx。此寄存器允许软件复位特定的外设。其他系统寄存器组有运行配置寄存器 SYSCTLx_PDRUNCFGx。这个寄存器在正常运行期间控制各个模块的电源。配置 PDRUNCFG 通常使用一个电源 API 来完成，该 API 可处理修改 PDRUNCFG 位时所有细节。如需了解这些寄存器的详细信息，请参见《i.MX RT6xx 用户手册》。

3.3 重要引脚及说明

在本应用笔记中，使用外部 PMIC 来给内核逻辑电路供电。因此，LDO_enable 脚必须下拉。

表 1. 重要引脚

符号	说明
LDO_enable	为 1 时，启动片上稳压器，通过 VDDCORE 引脚为内核逻辑供电。如果使用片外电源管理芯片 (PMIC) 为内核逻辑供电，则应拉低。此引脚不能悬空。建议使用 100K 外部上拉或 10K 外部下拉
VDDCORE	内核逻辑的电源。可由内部 LDO 供电或片外电源管理芯片 (PMIC) 供电。这些引脚上总是需要一个外部滤波电容

4 低功耗应用设计

本节介绍低功耗应用的模拟运行。它允许为 Arm Cortex-M33 和 HiFi4 DSP 选择不同的频率，如 48 MHz、24 MHz、16 MHz 或 8 MHz。它关闭了不必要的模块，并让 Arm 内核进入睡眠模式。根据要求，用户可以选择要关闭的模块。有关详细信息，请参阅前一章。此外，在 DSP 启动并进行一些计算后，它可以执行 WAITI 指令进入低功耗模式。因此，整个系统可以进一步降低总功耗。

4.1 开发环境

- 在笔记本电脑上安装 IAR Workbench 8.40.1 或更新版本。
- 如果使用较低版本：IAR i.MX RT600 补丁的内容复制到 IAR Systems\Embedded Workbench 8.0\arm\config\中。

这样就可以在 IAR 项目中选择所需要的芯片。

- 运行预装的终端 PC 应用（例如 Tera Term）

使用串行通信配置：

- 波特率：115200
- 数据大小：8 位
- 停止位：1
- 奇偶校验：否
- 安装 Xtensa 片上调试器 Daemon。
- 安装 Xtensa 开发环境 8.0.10。
- 安装 DSP Build Configuration rt600_sram_2019_1。

4.2 函数介绍

本节介绍了在测量中使用的函数。

表 2. CLOCK_AttachClk

名称	CLOCK_AttachClk
原型	void CLOCK_AttachClk(clock_attach_id_t connection);
输入参数	待配置的时钟
结果	无
说明	配置时钟选择多路复用器

表 3. CLOCK_SetClkDiv

名称	CLOCK_SetClkDiv
原型	void CLOCK_SetClkDiv(clock_div_name_t div_name, uint32_t divider);
输入参数	待分频的时钟分频器名称和值
结果	无
说明	设置外设时钟分频器

表 4. CLOCK_InitSysPfd

名称	CLOCK_InitSysPfd
原型	void CLOCK_InitSysPfd(clock_pfd_t pfd, uint8_t divider);
输入参数	要启动的 PFD 时钟和 PFD 分频值
结果	无

表格续下页.....

表 4. CLOCK_InitSysPfd (续)

说明	初始化系统锁相环 PFD
注意	PFD 设置值应保持在 12-35 之间

表 5. CLOCK_DisableClock

名称	CLOCK_DisableClock
原型	static inline void CLOCK_DisableClock(clock_ip_name_t clk);
输入参数	时钟 IP 名称
结果	无
说明	关闭所选时钟

表 6. RESET_SetPeripheralReset

名称	RESET_SetPeripheralReset
原型	void RESET_SetPeripheralReset(reset_ip_name_t peripheral);
输入参数	对外设发出复位信号
结果	无
说明	向指定的外设模块发出复位信号

表 7. POWER_EnablePD

名称	POWER_EnablePD
原型	static inline void POWER_EnablePD(pd_bit_t en);
输入参数	要使能 PDRUNCFG 位的外设
结果	无
说明	在 Sysctl0 中使能 PDRUNCFG 位的 API。
注意	使能此位可使该外设断电。

表 8. POWER_ApplyPD

名称	POWER_ApplyPD
原型	void POWER_ApplyPD (void);
输入参数	无

表格续下页.....

表 8. POWER_ApplyPD (续)

结果	无
说明	在 SYSCTL0 中应用更新后的 PDRUNCFG 位。
注意	它来自 Power API，可在 SDK 随附的电源库中获得

表 9. BOARD_SetPmicVoltageForFreq

名称	BOARD_SetPmicVoltageForFreq
原型	void BOARD_SetPmicVoltageForFreq(uint32_t main_clk_freq, uint32_t dsp_main_clk_freq);
输入参数	主时钟频率和 DSP 主时钟频率
结果	无
说明	PMIC 根据输入频率提供不同的电压

表 10. POWER_EnterSleep

名称	POWER_EnterSleep
原型	void POWER_EnterSleep (void);
输入参数	无
结果	无
说明	配置并进入睡眠低功耗模式
注意	它来自 Power API，可在 SDK 随附的电源库中获得

表 11. some_computation

名称	some_computation
原型	int some_computation(void);
输入参数	无
结果	无
说明	做一些计算来模拟用户应用

表 12. XT_WAITI

名称	XT_WAITI
原型	void XT_WAITI(int s);

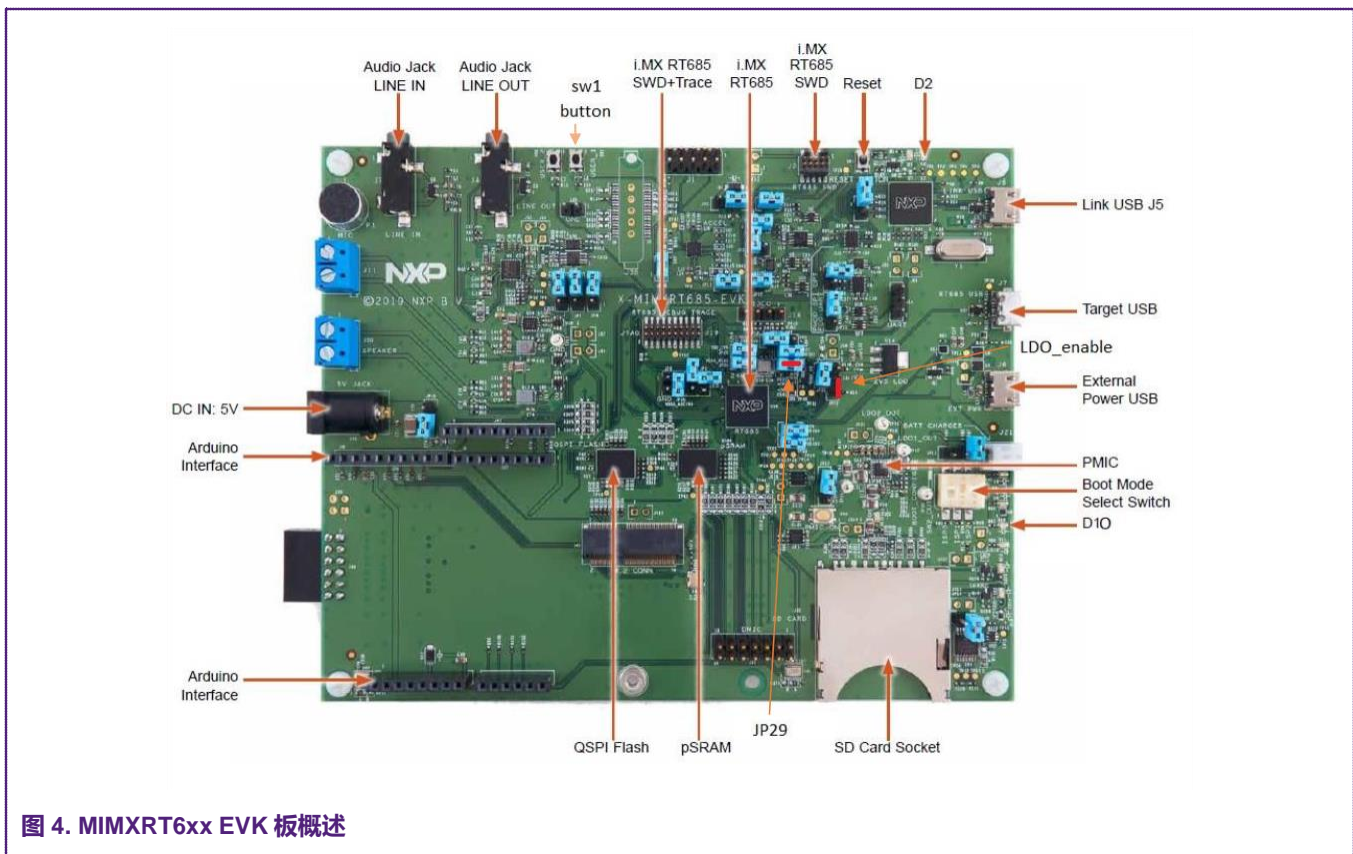
表格下一页续.....

表 12. XT_WAITI (续)

输入参数	暂停时长
结果	无
说明	等待中断

5 测量

5.1 电路板概述和测量点



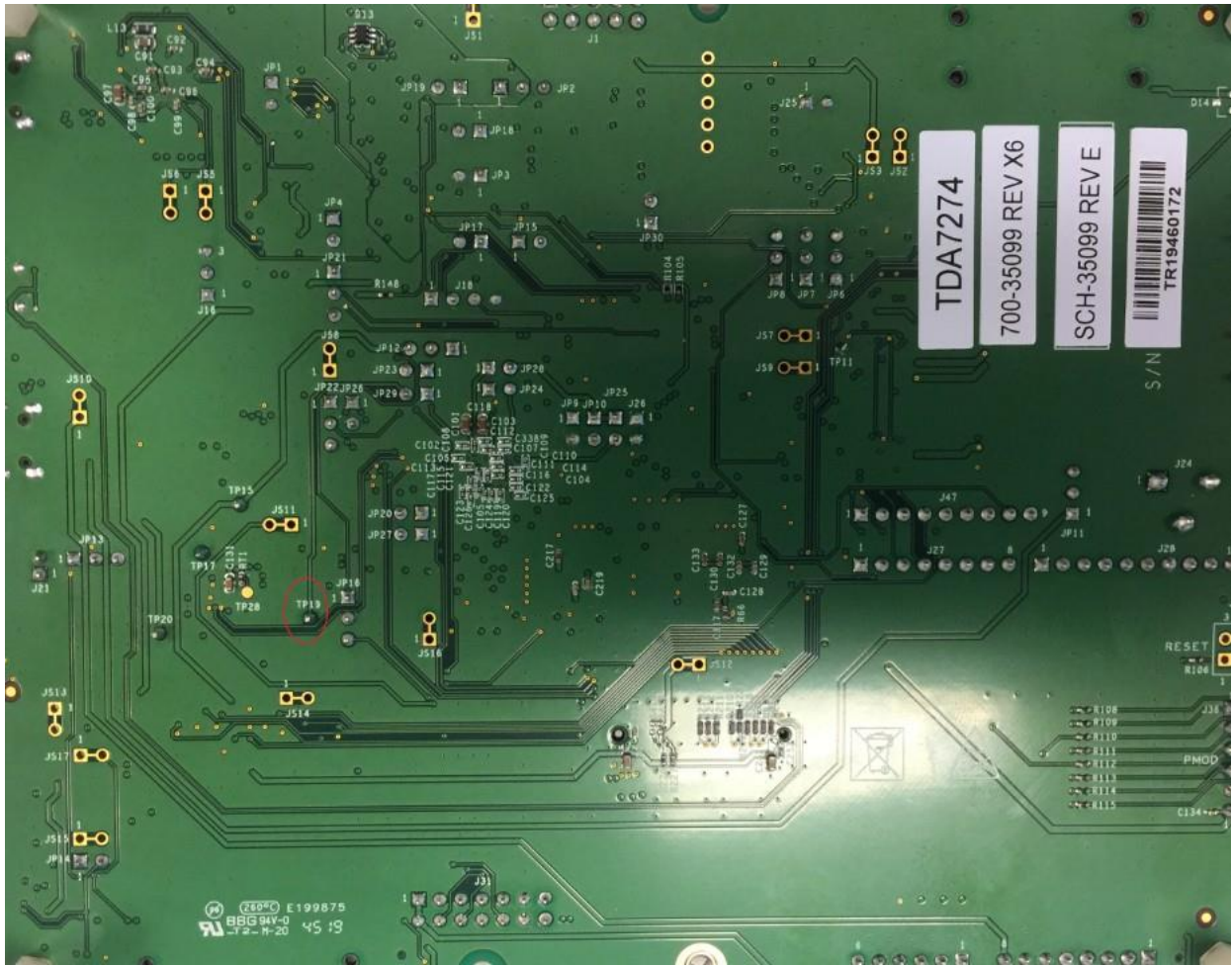


图 5. MIMXRT6xx EVK 板的背面

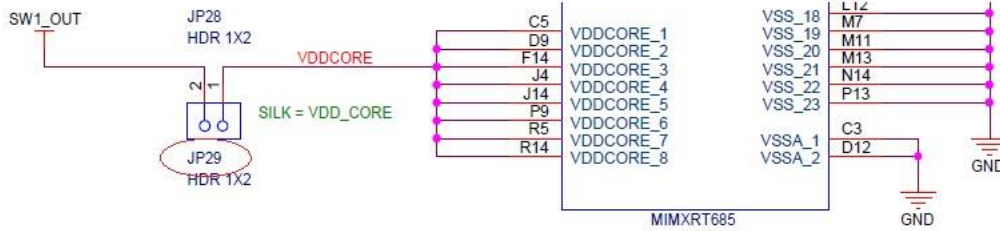


图 6. 测量点 JP29

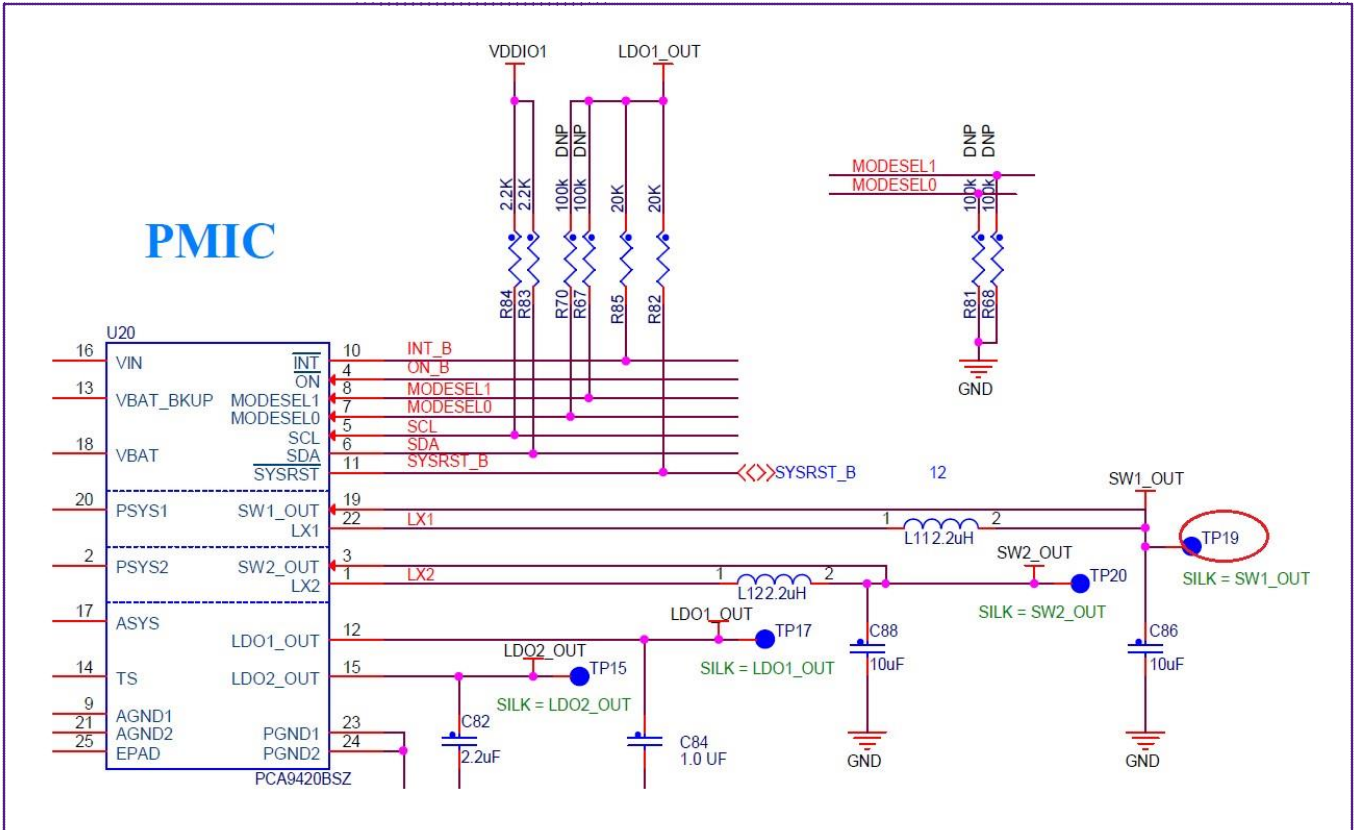


图 7. 测量点 TP19

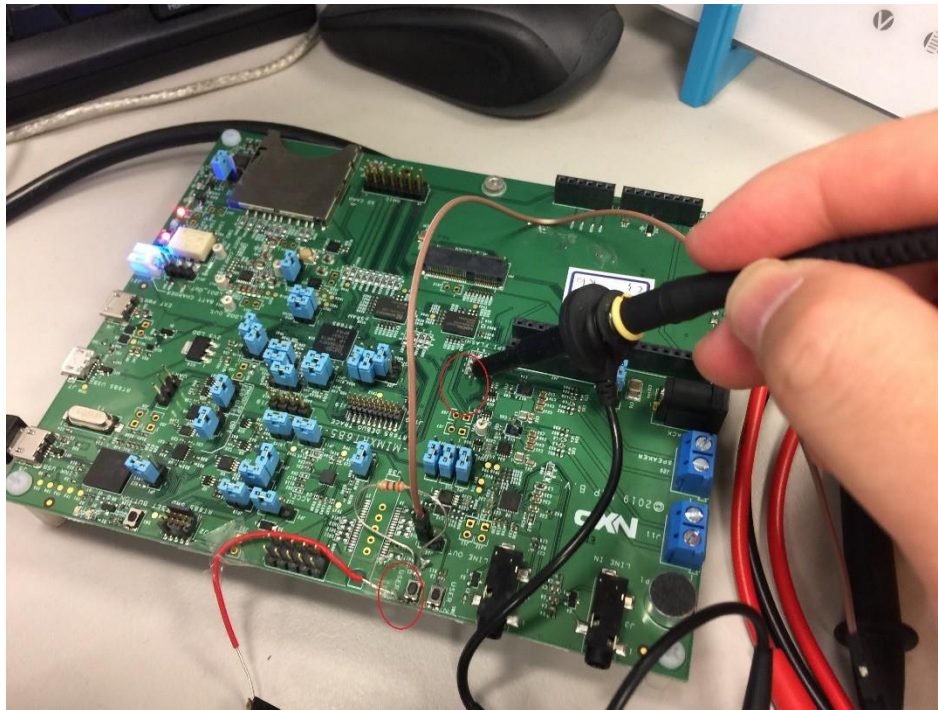


图 8. DSP 唤醒时间测量点

记住将跳接头安装到 JP22 的位置 2-3，以把 LDO_ENABLE 拉低并使用片外 PMIC PCA9420 为内核逻辑供电。测量 JP29 上的电流值和 TP19 上的电压，可得到 VDDCORE 的功耗。

DSP 唤醒时间测点 sw1 和 R398 (红色 LED) 如图 8 所示。

5.2 DSP 唤醒测量

当 DSP 执行 WAIT1 指令进入低功耗模式后，用户可以按下按钮 (SW1) 唤醒它。唤醒后，调用中断回调函数，它将立即点亮红色 LED (D9)。因此，我们可以测量用户按钮被按下和 LED 点亮之间的时间间隔。在图 9 至图 12 中，绿色线是按钮波形，橙色线是 LED 波形。这些图显示了对应于不同频率的时间间隔。

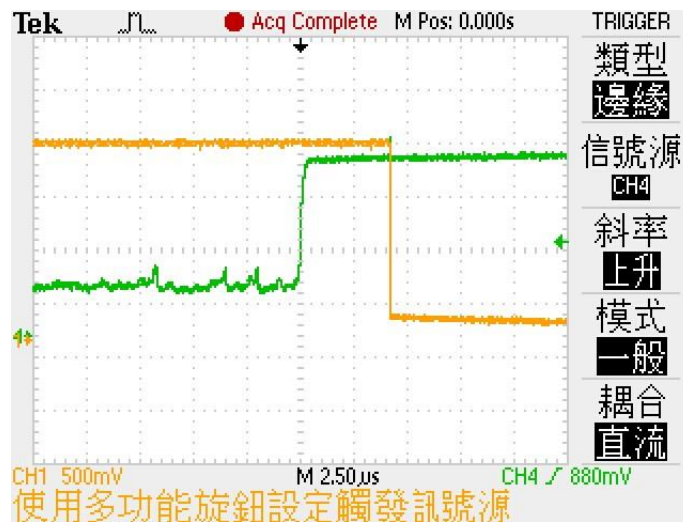


图 9. Arm 48 MHz, DSP 48 MHz

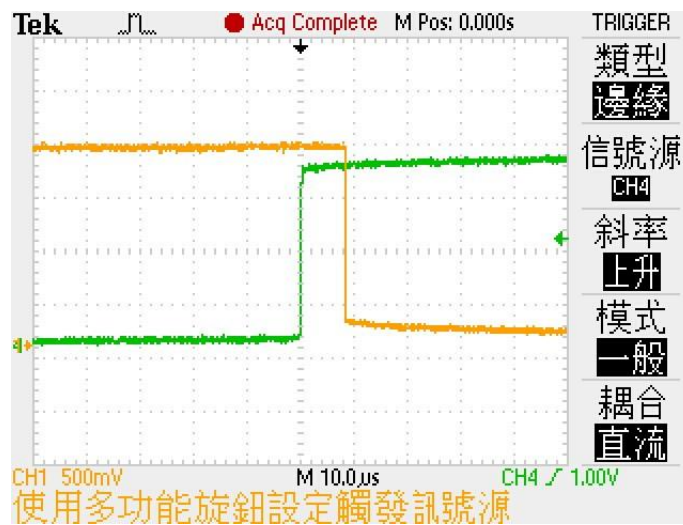


图 10. Arm 24 MHz, DSP 24 MHz

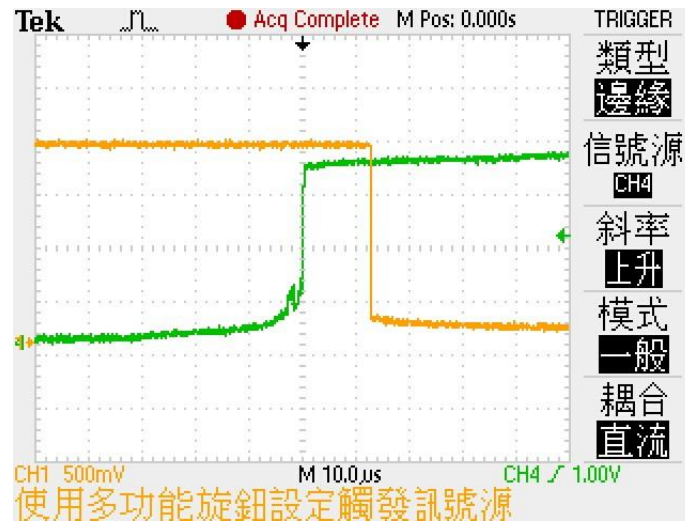


图 11. Arm 16 MHz, DSP 16 MHz

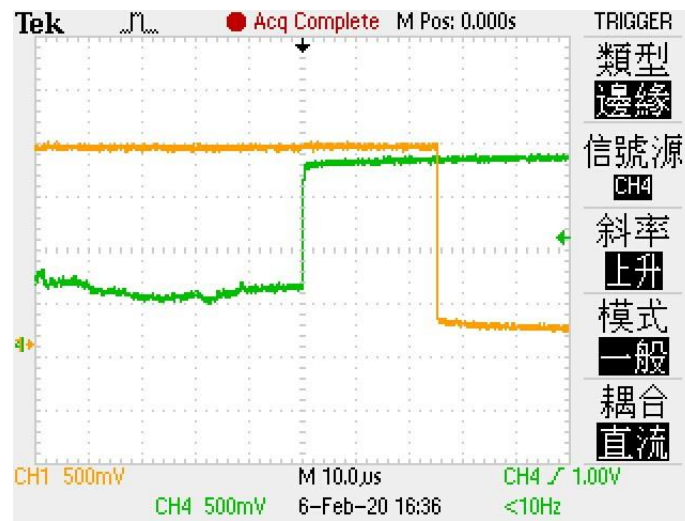


图 12. Arm 8 MHz, DSP 8 MHz

注意

为了确保测量结果更准确，建议去除按钮 SW1 的电容 (C3)，将电阻 (R10) 更换为较小的欧姆值。如图 14 所示，可以看到取下电容并更换位较小欧姆电阻前后的对比。

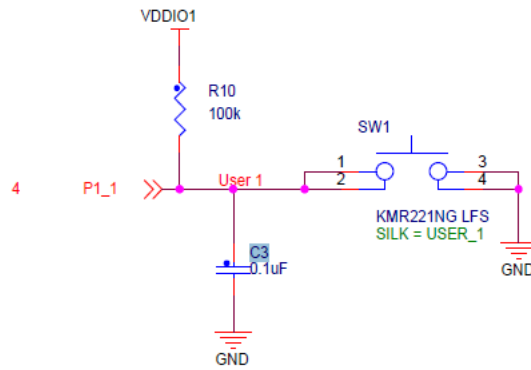


图 13. SW1 的容量 C3 和电阻 R10

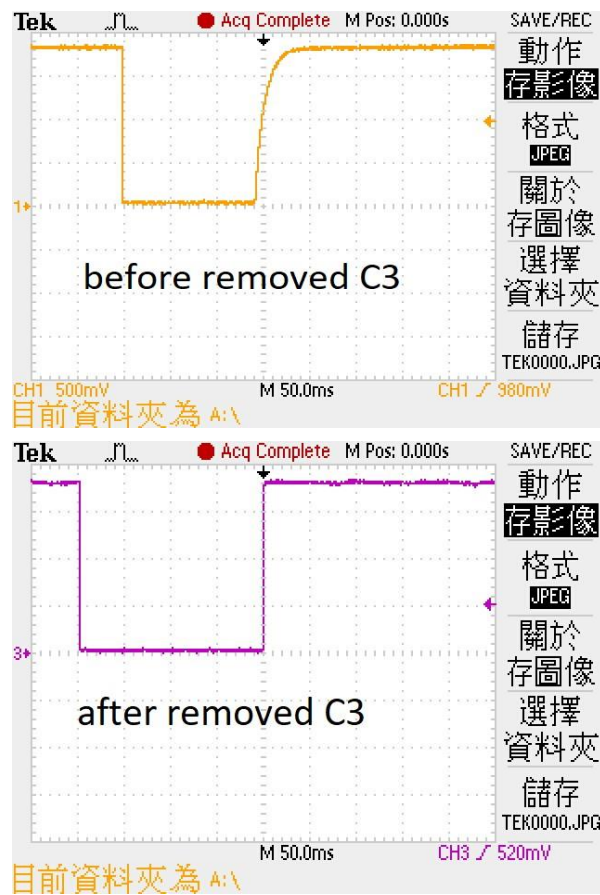


图 14. 按钮波形

5.3 测量结果

表 13. 结果

频率	Vddcore (V)	电流 (mA)	功率 (mW)	唤醒时间 (μs)
ARM 48 MHz, DSP 48 MHz	0.7	6.85	4.795	4
ARM 24 MHz, DSP 24 MHz	0.7	6.07	4.249	8
ARM 16 MHz, DSP 16 MHz	0.7	5.86	4.102	11
ARM 8 MHz, DSP 8 MHz	0.7	5.71	3.997	23

6 缩略语和说明

表 14. 缩略语和说明

名称	说明
1m_lposc	内部 1 MHz 低功耗振荡器 (LPOSC)。可用作低速/低功耗系统时钟和/或驱动选定的外设功能。
16m_irc	内部 16 MHz 振荡器 (SFRO)。可作为时钟源用于主锁相环和/或音频锁相环、main_clk、DSP 时钟和多种外设功能。
32k_clk	RTC 振荡器的输出，应与 32.768 kHz 晶体配合使用。必须在 RTCOSCTRL 寄存器中启用 32kHz 时钟。可用作 main_clk、DSP 时钟和选定外设功能的时钟源。
48/60m_irc	FFRO 内部振荡器，默认频率为 48 MHz，用户可选择 48 MHz 或 60 MHz。可用作 main_clk, DSP 时钟和选定外设的时钟源。
dsp_main_clk	此时钟用于产生 DSP CPU 时钟。
dsp_pll_clk	主锁相环的 PFD1 输出，可选择由 DSP 锁相环时钟分频器来分频。此时钟可作为 dsp_main_clk 的基准时钟。
main_clk	用于生成 hclk 的时钟（用于 Cortex-M33、AHB 总线、APB 总线等），并用作许多其他外设功能的源时钟。
main_pll_clk	主锁相环的 PFD0 输出，可选择由主锁相环时钟分频器分频。这个时钟可以是 main_clk、dsp_main_clk 和许多外设功能的基准时钟。

7 参考资料

1. i.MX RT6xx 用户手册
2. i.MX RT600 B0 版产品简介
3. MIMXRT6xx EVK 评估板原理图 (SPF-35099_E)
4. PCA9420 产品简介 (面向低功耗微控制器应用的电源管理 IC)
5. AN12085-如何使用 i.MX RT 的低功耗功能
6. AN12094-功耗与测量
7. 用于 MIMXRT600 的 Xplorer 快速入门

8 修订历史

表 15. 修订历史

版本号	日期	内容变更
0	2020 年 5 月	初版发布

How To Reach Us

Home Page:

nxp.com.cn

Web Support:

nxp.com.cn/support

Information in this document is provided solely to enable system and software implementers to use NXP products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits based on the information in this document. NXP reserves the right to make changes without further notice to any products herein.

NXP makes no warranty, representation, or guarantee regarding the suitability of its products for any particular purpose, nor does NXP assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters that may be provided in NXP data sheets and/or specifications can and do vary in different applications, and actual performance may vary over time. All operating parameters, including "typicals," must be validated for each customer application by customer's technical experts. NXP does not convey any license under its patent rights nor the rights of others. NXP sells products pursuant to standard terms and conditions of sale, which can be found at the following address: nxp.com.cn/SalesTermsandConditions.

While NXP has implemented advanced security features, all products may be subject to unidentified vulnerabilities. Customers are responsible for the design and operation of their applications and products to reduce the effect of these vulnerabilities on customer's applications and products, and NXP accepts no liability for any vulnerability that is discovered. Customers should implement appropriate design and operating safeguards to minimize the risks associated with their applications and products.

NXP, the NXP logo, NXP SECURE CONNECTIONS FOR A SMARTER WORLD, COOLFLUX, EMBRACE, GREENCHIP, HITAG, ICODE, JCOP, LIFE VIBES, MIFARE, MIFARE CLASSIC, MIFARE DESFire, MIFARE PLUS, MIFARE FLEX, MANTIS, MIFARE ULTRALIGHT, MIFARE4MOBILE, MIGLO, NTAG, ROADLINK, SMARTLX, SMARTMX, STARPLUG, TOPFET, TRENCHMOS, UCODE, Freescale, the Freescale logo, AltiVec, CodeWarrior, ColdFire, ColdFire+, the Energy Efficient Solutions logo, Kinetis, Layerscape, MagniV, mobileGT, PEG, PowerQUICC, Processor Expert, QorIQ, QorIQ Qonverge, SafeAssure, the SafeAssure logo, StarCore, Symphony, VortiQa, Vybrid, Airfast, BeeKit, BeeStack, CoreNet, Flexis, MXC, Platform in a Package, QUICC Engine, Tower, TurboLink, EdgeScale, EdgeLock, eIQ, and Immersive3D are trademarks of NXP B.V. All other product or service names are the property of their respective owners. AMBA, Arm, Arm7, Arm7TDMI, Arm9, Arm11, Artisan, big.LITTLE, Cordio, CoreLink, CoreSight, Cortex, DesignStart, DynamIQ, Jazelle, Keil, Mali, Mbed, Mbed Enabled, NEON, POP, RealView, SecurCore, Socrates, Thumb, TrustZone, ULINK, ULINK2, ULINK-ME, ULINK-PLUS, ULINKpro, μ Vision, Versatile are trademarks or registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere. The related technology may be protected by any or all of patents, copyrights, designs and trade secrets. All rights reserved. Oracle and Java are registered trademarks of Oracle and/or its affiliates. The Power Architecture and Power.org word marks and the Power and Power.org logos and related marks are trademarks and service marks licensed by Power.org.

© NXP B.V. 2020.

All rights reserved.

For more information, please visit: <http://www.nxp.com.cn>

For sales office addresses, please send an email to: salesaddresses@nxp.com

Date of release: May, 2020
Document identifier: AN12844