

使用 FlexIO 模块模拟 I2S 总线主机

作者: Michael Galda

1 概述

本应用笔记介绍了 FlexIO 外设模块的一种典型用例，该模块最初是在 Freescale Kinetis KL43 MCU 系列 (ARM® CM0+ MCU) 中作为 I²S 音频总线主机推出的。

FlexIO 是一个高度可配置的模块，能够模拟多种串行/并行通信协议，包括 UART、I²C、SPI、I²S 等。

本应用笔记旨在展示 FlexIO 外设能够生成所有必需的 I²S 总线信号，也可用于取代传统 I²S/SAI 外设来传输音频数据流，而不会对功能或 CPU 资源造成任何明显限制。

为了验证 I²S 用例，本应用笔记中实现了一个简单的软件驱动程序。本演示采用 Freescale 塔式系统。音频记录存储在 MCU 的内部 Flash 存储器中。音频记录采样率为 8.000 kHz，单通道 (单声道)，采用 16 位分辨率。I²S 字大小设置为 32 位。TWR-AUDIO 卡上的 SGTL5000 音频编解码器 IC 用于重现音频。

内容

1	概述.....	1
2	所需硬件.....	2
3	I ² S 总线理论.....	2
4	使用 FlexIO 模拟 I ² S 主机.....	3
5	软件描述.....	4
5.1	初始软件设置.....	4
5.2	软件中的 I ² S 总线模拟.....	4
6	结语.....	5
7	参考资料.....	5
8	修订历史记录.....	5

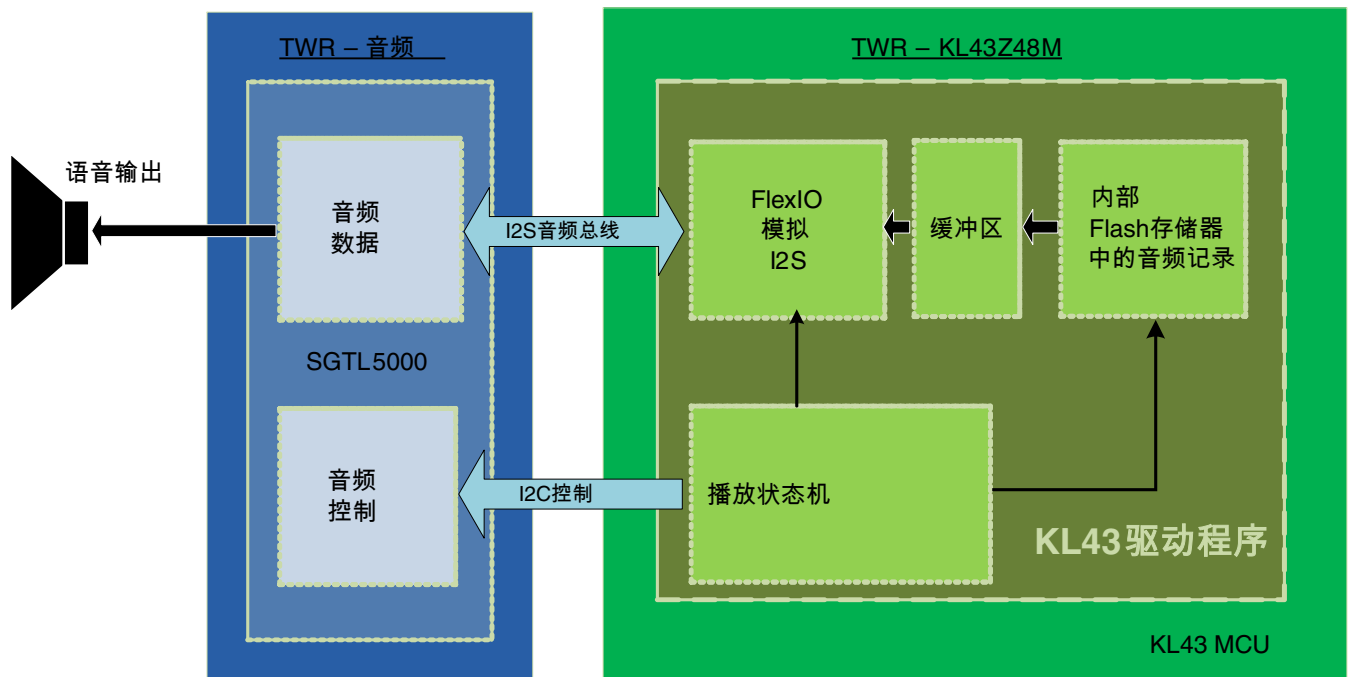


图 1. 塔式系统上的应用实现

2 所需硬件

本文档介绍了基于 Freescale 塔式系统的应用，但其中的基本概念和思路也可以在定制硬件上轻松重现。

可使用以下塔式系统板构建本应用：

- TWR-KL43Z48M
- TWR-AUDIO-SGTL5000
- TWR-PROTO（带额外的布线连接 — 请参见表 1）
- TWR-ELEV（主板和辅板）

FlexIO 模块模拟 I²S 总线主机产生所有必需的信号：

- 主机时钟（MCLK = 12 MHz）
- 字选择（WS/FSYNC/LRCLK = 8 kHz）
- 连续串行时钟（SCK/SCLK = 256 kHz）
- 串行数据（SD/DOOUT）
- FlexIO 输入频率为总线时钟 = 48.000 MHz

KL43 MCU 可通过 I²C 总线初始化和控制 SGTL5000 编解码器的设置。

3 I²S 总线理论

I²S 是一种音频总线，使用三线连接来同步串行数据通信。还可以使用第四根线，用于 I²S 从机外设的同步主机时钟的 MCLK 输出。

以小端格式在 SD (DOUT)线 (MSB 优先) 上发送数据。数据长度为 16、24 或 32 位。发送器数据在 SCK 的上升沿同步, 接收器数据在 SCK 的下降沿同步。双通道音频信号由在同一根线上传送和多路复用的两个数据字表示, 即右通道样本和左通道样本。FSYNC 控制信号决定数据字表示右通道还是左通道。此信号还指示数据长度 (字的开始和结束)。FSYNC 可与 SCK 上升沿或下降沿同步, 并先于 MSB 一个 SCK 周期, 以便有足够时间将数据存储在接受器中。

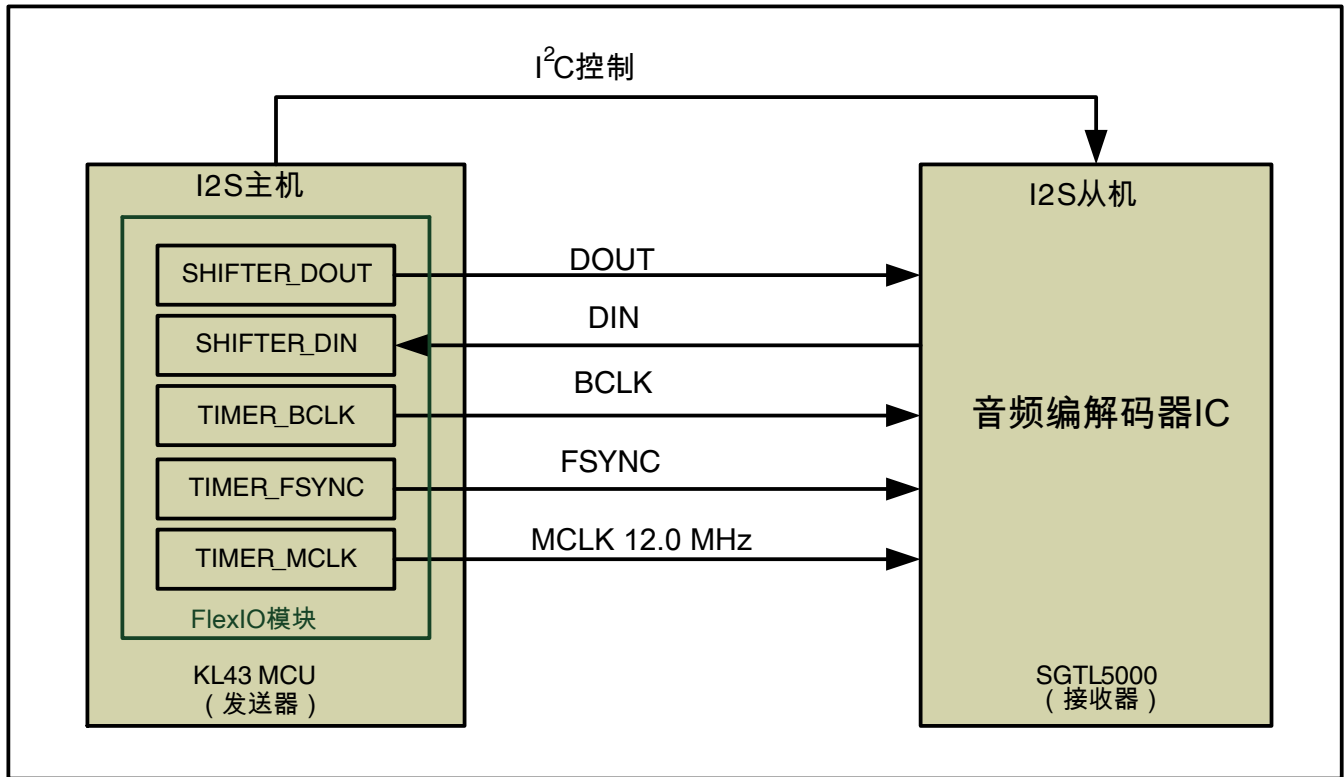


图 2. 主机—从机, 带模拟 I²S

4 使用 FlexIO 模拟 I²S 主机

可使用两个定时器、两个移位器和四个引脚支持 I²S 主机模式。一个定时器用于生成位时钟和控制移位器, 另一个定时器用于生成帧同步。FlexIO 模块等待第一次写入到发送数据缓冲区, 然后才会使能位时钟和 FSYNC 的产生。可使用 DMA 控制器支持数据传送, 如果有发送下溢或接收溢出, 则移位器错误标志会置位。此外, 一个定时器和一个引脚用于生成 MCLK 输出。

位时钟频率是 FlexIO 时钟频率的偶整数商, 初始帧同步置位与第一个位时钟边缘同时出现。定时器使用起始位确保在第一个输出数据之前一个时钟周期生成 FSYNC。

由于同步延迟, 接收器输入的设置时间为 1.5 个 FlexIO 时钟周期。因此, 最大波特率为 FlexIO 时钟频率除以 4。

音频样本由 TWR-AUDIO-SGTL 卡上的 SGTL5000 音频编解码器 IC 重现。SGTL5000 以 I²S 从机模式工作。任何其他 I²S 音频编解码器 IC 可用于在定制硬件上重建音频信号。

表 1 汇总了所需的有线连接, 这些连接必须在 TWR-PROTO 板上单独建立。必须将用粗体标注的 TWR-PROTO 信号互相连接。

表 1. 用于 I²S 模拟的 TWR-PROTO 信号连接

I ² S 功能	TWR-KL43Z48	TWR-AUDIO	TWR-PROTO (需连接)	
I ² S Tx 数据	PTD0	ELEV_I2S0_DOUT	A24	B46
I ² S Rx 数据	PTD1	ELEV_I2S0_DIN	A25	B48
I ² S 位时钟	PTD2	ELEV_I2S0_SCLK	A23	B45
I ² S FSYNC/WS	PTD3	ELEV_I2S0_LRCLK	A22	B44
I ² S 主机时钟	PTD4	ELEV_I2S0_MCLK	A21	B59

5 软件描述

本软件应用基于 KL43 外设裸机驱动程序。

注

本软件编写为在 TWR-TWR-KL43Z48M 上工作，无需对 MCU 塔式卡进行额外的硬件修改。面向塔式卡设计的一般用例会导致 FlexIO 时钟精度受限。在塔式卡上，内核时钟派生自高频 IRC 48 MHz，为系统和 FlexIO 模块输入 48.0 MHz 的频率。考虑到这样的输入频率，很难通过 FlexIO 模块中提供的整数分频器实现标准音频采样率，如 22.050 kHz 或 44.100 kHz。

为了获得最佳性能和兼容性，MCU 时钟可由 12.288 MHz、24.576 MHz 或 49.152 MHz（典型音频应用晶体频率）的外部晶体或振荡器提供。

5.1 初始软件设置

在初始化期间，在 SIM 中使能所有必需的外围模块时钟，且选择 48 MHz HIRC 作为时钟源。然后将系统:总线:Flash 之间的时钟比率设置为 1:2:2。PortD 多路复用器切换为支持 FlexIO 功能。

FLEXIO_I²S_Init 函数中将会初始化 FlexIO 移位器和定时器。配置值由文件 appconfig.h 提供。这些值指示哪些定时器、移位器和引脚用于模拟 I²S。

I²C 总线用于对 TWR-AUDIO 卡上的 SGTL5000 音频编解码器 IC 进行初始配置，本应用的演示和测试即使用此卡进行。

音频记录存储在内部 Flash 存储器中。开始时，必须使用音频数据初始化空的 RAM 缓冲区。此后，将 Flash 存储器中的数据读取到 RAM 内的双缓冲区。在 FLEXIO_IRQ 回调函数中将音频样本写入到移位器中。每当选择空闲（未使用的）RAM 缓冲区并提供新的音频样本时，填充的缓冲区将用于移位器输出。

5.2 软件中的 I²S 总线模拟

可通过以下机制模拟 I²S 总线功能，其确保 FlexIO 输出平稳连续的音频数据流：

1. SHIFTER0 用于采用 32 位帧的音频数据输出。第一次移位时加载传送数据。停止位被禁用。数据传送由定时器 0 驱动。在时钟上升沿通过 Pin0 移出数据。
2. SHIFTBUF0: 可将传送数据写入 SHIFTBUFBBS。移位器状态标志用于指示何时可以使用中断或 DMA 请求写入数据。通过写入 SHIFTBUF 寄存器代替可支持第一种数据格式的 LSB。

3. SHIFTER1 可用于音频数据输入。该移位器配置用于接收，使用定时器 0 在时钟下降沿通过 Pin1 输入数据。SHIFTER1 起始/停止位被禁用（未使用）。
4. SHIFTBUF1: 可从 SHIFTBUFBBS 读取接收的数据。移位器状态标志用于指示何时可以使用中断或 DMA 请求读取数据。通过写 SHIFTBUF 寄存器可支持 LSB 优先的数据格式。
5. 定时器 0 配置为使用引脚 2 输出 (BCLK) 的双 8 位计数器，移位器 0 标志作为反向触发。PINPOL 设置为将输出移位时钟反转。使能起始位，且在触发高电平使能定时器。初始时钟状态为 1。定时器 0 比较 (TIMCMP) 寄存器配置用于 32 位传输，波特率等于 FlexIO 时钟除以 4。设置 $TIMCMP[15:8] = (\text{位数} \times 2) - 1$ 。设置 $TIMCMP[7:0] = (\text{波特率分频系数} \div 2) - 1$ 。
6. 定时器 1 配置为 16 位计数器，使用反转的引脚 3 输出（作为 FSYNC 信号）。在定时器 0 使能时使能定时器 1（并且永不禁用）。
7. 定时器 2 配置为生成用于外部编解码器 IC 的 MCLK（主机时钟）输出。

6 结语

本应用展示了 Freescale KL43 MCU 可用的 FlexIO 外设，以 I²S 主机传送器的角色模拟 I²S 音频总线。音频记录存储在 MCU 的内部 Flash 存储器中，并由 I²S 从设备 SGT5000 音频编解码器重现。本应用使用 Freescale 塔式系统进行演示。可使用本文档所述方法成功模拟 I²S 总线功能。可从 Freescale 网站免费下载应用软件例程。

7 参考资料

1. Freescale 塔式系统模块化开发平台: www.freescale.com/tower
2. TWR-KL43Z48M: 用于 L4KS 的 TWR 板: www.freescale.com/webapp/sps/site/prod_summary.jsp?code=TWR-KL43Z48M

8 修订历史记录

本节记录了对本文档进行的改动。

表 2. 修订历史记录

修订版	重要改动
0	最初公开版本
1	删除了外部引用

How to Reach Us:

Home Page:
freescale.com

Web Support:
freescale.com/support

本文档中的信息仅供系统和软件实施方使用 Freescale 产品。本文并未明示或者暗示授予利用本文档信息进行设计或者加工集成电路的版权许可。Freescale 保留对此处任何产品进行更改的权利，恕不另行通知。

Freescale 对其产品在任何特定用途方面的适用性不做任何担保、表示或保证，也不承担因为应用程序或者使用产品或电路所产生的任何责任，明确拒绝承担包括但不限于后果性的或附带性的损害在内的所有责任。Freescale 的数据表和/或规格中所提供的“典型”参数在不同应用中可能并且确实不同，实际性能会随时间而有所变化。所有运行参数，包括“经典值”在内，必须经由客户的技术专家对每个客户的应用程序进行验证。Freescale 未转让与其专利权及其他权利相关的许可。Freescale 销售产品时遵循以下网址中包含的标准销售条款和条件：freescale.com/SalesTermsandConditions。

Freescale, the Freescale logo, and Kinetis are trademarks of Freescale Semiconductor, Inc., Reg. U.S. Pat. & Tm. Off. ARM and Cortex are registered trademarks of ARM Limited (or its subsidiaries) in the EU and/or elsewhere. All other product or service names are the property of their respective owners.

© 2014-2015 Freescale Semiconductor, Inc.

© 2014-2015 飞思卡尔半导体有限公司